

PATENT ABSTRACTS OF JAPAN

2001-015882

(11)Publication number :

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H05K 1/16

H05K 3/00

H05K 3/18

(21)Application number : 11-188422

(71)Applicant : NEC CORP

(22)Date of filing : 02.07.1999

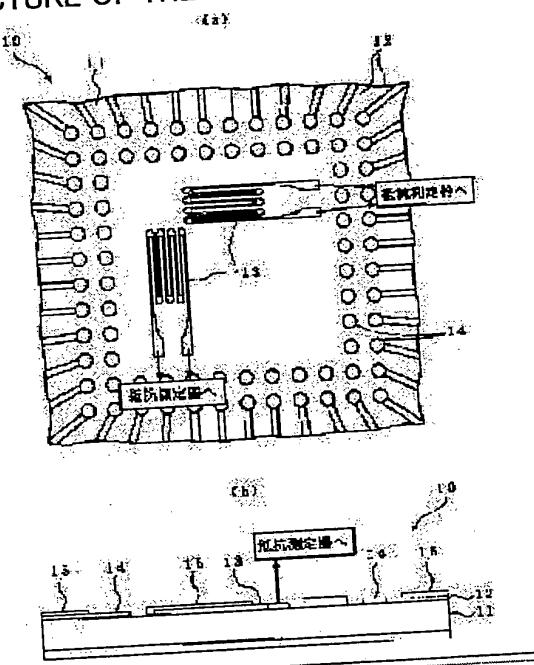
(72)Inventor : OTA HIROTOKU
MOMOKAWA HIROKI

(54) CIRCUIT BOARD INCORPORATING STRAIN GAUGE AND MANUFACTURE OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To accurately measure the strain amount of a circuit board by forming a strain gauge which measures the strain of circuit board as a part of a circuit of the circuit board, thus a strain gauge is built in the circuit board.

SOLUTION: Related to a strain gauge built-in circuit board 10, a strain gauge 13 which is used in a temperature zone about -20-200° C is formed as a part of an electric circuit 12. Related to the pattern of the strain gauge 13, a plurality of CSP(chip size package) mounting electrode pads 14 are provided in square, with two so formed, at about angle of 90°, as to follow arrangement direction at its central part. The surfaces of the electric circuit 12 and the strain gauge 13, except for the connection end of an electrode pad 14, etc., are covered with a solder resist 15. Thus, the strain amount of a circuit board 11 is accurately measured.



LEGAL STATUS

15.06.2000

[Date of request for examination]

11.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

2006/06/1

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-15882

(P2001-15882A)

(43)公開日 平成13年1月19日 (2001.1.19)

(51)Int.Cl.⁷
H 05 K 1/16
3/00
3/18

識別記号

F I
H 05 K 1/16
3/00
3/18

テ-テコ-ド⁷ (参考)
C 4 E 3 5 1
T 5 E 3 4 3
H

審査請求 有 請求項の数6 O L (全 6 頁)

(21)出願番号 特願平11-188422

(22)出願日 平成11年7月2日 (1999.7.2)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大田 広徳

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 百川 裕希

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100086645

弁理士 岩佐 義幸

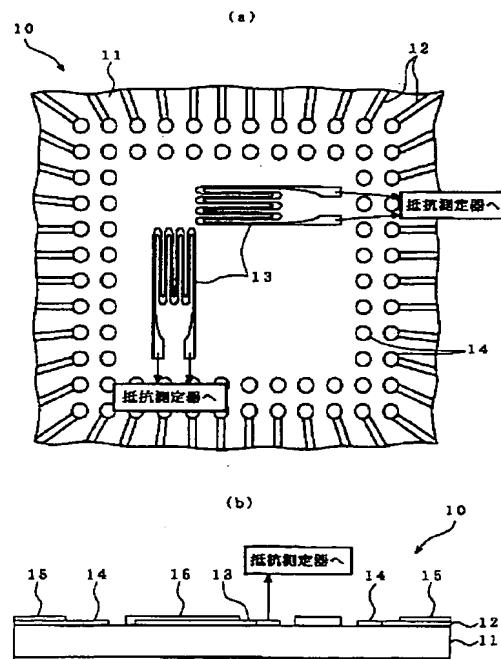
最終頁に続く

(54)【発明の名称】 歪みゲージ内蔵回路基板およびその製造方法

(57)【要約】 (修正有)

【課題】 接着剤を介さず、任意の場所で、歪みゲージにより回路基板の歪み量を正確に測定することができる歪みゲージ内蔵回路基板およびその製造方法を提供する。

【解決手段】 回路基板11の歪みを測定する歪みゲージ13を、回路基板の回路の一部として形成し、回路基板に歪みゲージを内蔵した。歪みゲージを、回路基板の回路パターン形成時に作り込む。



【特許請求の範囲】

【請求項1】回路基板の歪みを測定する歪みゲージを、前記回路基板の回路の一部として形成し、前記回路基板に前記歪みゲージを内蔵したことを特徴とする歪みゲージ内蔵回路基板。

【請求項2】前記歪みゲージは、前記回路基板の回路バターンと共に作り込まれることを特徴とする請求項1に記載の歪みゲージ内蔵回路基板。

【請求項3】前記回路基板は、半導体パッケージのキャリア基板或いはプリント基板であることを特徴とする請求項1または2に記載の歪みゲージ内蔵回路基板。

【請求項4】回路基板の歪みを測定する歪みゲージを、前記回路基板に内蔵するよう前記回路基板の回路の一部として形成することを特徴とする歪みゲージ内蔵回路基板の製造方法。

【請求項5】前記歪みゲージは、前記回路基板の回路バターン形成時に作り込まれることを特徴とする請求項4に記載の歪みゲージ内蔵回路基板の製造方法。

【請求項6】接着剤付き回路基板の前記接着剤に触媒付与処理を施し、前記接着剤表面に銅めっきを形成する工程と、

回路を形成しない部分にめっきレジストを形成した回路基板を、銅ニッケル合金めっきに浸漬し、回路形成部分に銅ニッケル合金めっきを析出する工程と、

前記めっきレジストを剥離し、前記めっきレジストの下にある無電解銅めっき皮膜を溶解して、回路を形成する工程と

を有することを特徴とする請求項4または5に記載の歪みゲージ内蔵回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、歪みゲージ内蔵回路基板およびその製造方法に関し、特に、CSPやBGAにおける歪みゲージ内蔵回路基板およびその製造方法に関する。

【0002】

【従来の技術】電子機器の小型・軽量・薄型化や高速・高機能化への進展に伴い、表面実装技術 (Surface Mount Technology: SMT) の高度化が要求されている。

【0003】半導体パッケージの主流は、QFP (Quad Flat Package) に代表されるリード付きの周辺実装タイプから、BGA (Ball Grid Array) 等の面実装タイプに移行しつつあり、最近では、携帯情報端末機器を中心に、BGAより更に狭ピッチであるCSP (Chip Size Package) の実用化が急速に進みつつある。

【0004】回路基板にCSP等の部品を実装すると、部品の熱膨張係数と回路基板の熱膨張係数が異なるため、基板に反りが生じる。CSPやBGAでは、部品側

に付けられたはんだボールで回路基板の電極パッドに接続するため、その接続構造上基板の反りに弱く、回路基板の歪みを測定することは、回路基板及び搭載部品の評価にとって非常に重要となる。

【0005】従来、このような基板の歪み量は、例えば、基板表面に接着された歪みゲージを用いて計測されている。

【0006】

【発明が解決しようとする課題】しかしながら、この従来の計測方法では、回路基板と歪みゲージの間に接着剤の層が形成されるため、基板自体の歪みを計測しているのか、接着剤の歪みを計測しているのか、が定かではない。また、歪みゲージを接着する場所もCSPやBGAの搭載部品の周辺となり、これらの部品の直下やはんだ接続部付近の歪み量を測定することができない。

【0007】この発明の目的は、接着剤を介さず、任意の場所で、歪みゲージにより回路基板の歪み量を正確に測定することができる歪みゲージ内蔵回路基板およびその製造方法を提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するため、この発明に係る歪みゲージ内蔵回路基板は、回路基板の歪みを測定する歪みゲージを、前記回路基板の回路の一部として形成し、前記回路基板に前記歪みゲージを内蔵したことを特徴としている。

【0009】上記構成を有することにより、回路基板の歪みを測定する歪みゲージが、回路基板の回路の一部として形成され、回路基板に歪みゲージが内蔵される。これにより、接着剤を介さず、任意の場所で、歪みゲージにより回路基板の歪み量を正確に測定することができる。

【0010】また、この発明に係る歪みゲージ内蔵回路基板の製造方法により、上記歪みゲージ内蔵回路基板を製造することができる。

【0011】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【0012】図1は、歪みの定義と歪みゲージの原理について説明する説明図である。図1に示すように、長さLの材料が引張（或いは圧縮）を受けると、その長さLは $L + \Delta L$ （或いは $L - \Delta L$ ）に変化する。このときのLと ΔL の比 $\Delta L / L$ が歪みである。

【0013】ここで、金属材料について考えると、図1の例と同様に、引張（或いは圧縮）を受けることで歪みが発生し、歪みによる寸法変化が起こる。この寸法変化により導通抵抗値も変化するため、寸法変化を利用して歪みを電気的に測定するのが歪みゲージである。-20°C～200°C位の領域で一般的に使われている歪みゲージの材料は、銅ニッケル合金である。

【0014】この歪みゲージの、部品、特にCSPやB

GAのプリント基板への実装について考える。CSPやBGA内部のSiチップは、熱膨張係数が3~5 ppmと小さく熱により伸び難い。ところが、これらの部品を搭載するプリント基板の熱膨張係数は15 ppmであり、Siチップと比較して大きく熱により伸び易い。

【0015】この熱膨張係数の違いにより、CSPやBGAを実装したプリント基板に熱が加わると、基板の伸びが拘束されて基板が反る。この反りは、CSPやBGAとプリント基板を接合しているはんだ接続部の熱疲労寿命に大きく影響するので、その反り量を歪みゲージで測定することは、有用なデータを得る一つの手段となる。

【0016】そこで、予め、CSPやBGAのキャリア基板またはプリント基板に、歪みゲージを形成しておく。これにより、実装後の歪み量測定が容易に可能となる。

【0017】図2は、この発明の実施の形態に係る歪みゲージ内蔵回路基板の概略構成を示し、(a)は平面図、(b)は断面図である。図2に示すように、歪みゲージ内蔵回路基板10は、回路基板11上に、電気回路12の一部として歪みゲージ13を形成する。

【0018】この歪みゲージ13のパターンは、複数のCSP(或いはBGA)搭載用電極パッド14が矩形状に配置されたその中心部分に、配置方向に沿うように略90度の角度を有して2つ((a)参照)形成されている。これは、縦方向の歪みと横方向の歪みを別々に検出するためである。電気回路12及び歪みゲージ13の表面は、電極パッド14等の接続端を除いて、ソルダーレジスト15により覆われている((b)参照)。

【0019】電気回路12及び歪みゲージ13の材料は、一般的な回路基板の材料とは異なりCu-Ni合金が用いられる。これは、歪みゲージの温度特性を考慮したものであり、-20°C~200°C位の温度領域で一般的に使われている歪みゲージと同様のものである。

【0020】図3は、図2の歪みゲージ内蔵回路基板の製造方法の工程説明図である。図3に示すように、まず、回路基板11として、接着剤付きガラスエポキシ基板を用意し、所定箇所に穴16を開ける((a)参照)。ここで、プリント基板の製造において一般的に使われている銅箔付きガラスエポキシ基板を用いた場合、その銅箔のため、寸法変化による導通抵抗の変化が小さく歪み測定値の精度が落ちてしまう。

【0021】次に、ガラスエポキシ基板11の接着剤表面を粗面化処理した後に、触媒付与処理を施し、無電解銅めっきにより、接着剤表面に0.3~0.5 μmの厚さの銅めっき17を形成する((b)参照)。

【0022】次に、感光性を持つ液状樹脂を塗布或いは樹脂フィルムをラミネートし、露光・現像により、回路を形成しない部分にめっきレジスト18を形成する((c)参照)。このめっきレジスト18を形成したガ

ラスエポキシ基板11を、銅ニッケル合金めっきに浸漬し、電気めっきにより回路となる部分に銅ニッケル合金めっき19を15~20 μm析出する((d)参照)。

【0023】その後、めっきレジスト18を剥離し((e)参照)、エッティング液により、めっきレジスト18の下にある無電解銅めっき皮膜を溶解して、回路を形成する((f)参照)。これにより、本来の電気回路12と歪みゲージ13となる回路を、同時に形成することができる。

【0024】このように、歪みゲージ13の回路パターンは、他の電気回路12と混在する形で配置され、回路基板11の配線の一部として作成される。この回路基板11にCSPやBGAを搭載するときや搭載後の信頼性試験等において、歪みゲージ13の回路パターンからリードを引き出し、或いは回路パターンにプローブピンを当てるにより、抵抗測定器(図示しない)で導通抵抗値を計り歪み量を求めることができる。

【0025】図4は、この発明の他の実施の形態に係るCSP及びBGAのインタポーラーへの適用例を示す断面図である。図5は、この発明の他の実施の形態に係る両面基板への適用例を示す断面図である。図6は、この発明の他の実施の形態に係る多層基板への適用例を示す断面図である。図7は、この発明の他の実施の形態に係る両面基板の反対側面への適用例を示す断面図である。

【0026】図4に示すように、CSP及びBGAでは、通常インタポーラー20と呼ばれる回路基板上に、電極パッド14上のバンプ21及び封止樹脂22を介してチップ23が1次実装される。このインタポーラー20とチップ23は熱膨張差が大きく、実装等で熱が加わると部品全体が大きく反るという現象がみられる。

【0027】1次実装がフリップチップ(Flip-Chip: FC)実装の場合、この反りにより接合部が破壊することも考えられるため、インタポーラー20の歪み量を知ることは非常に重要となる。歪みゲージ13を内蔵した基板11をCSP及びBGAのインタポーラー20として用いることにより、1次実装によるインタポーラー20の歪み量を簡単に測定することができる。

【0028】なほ、図4では、1例としてFC-CSPのインタポーラーに適用した場合を示しているが、同様に、AuワイヤによりワイヤボンディングしたBGAや、ファインピッチBGA等のインタポーラーにも適用可能である。

【0029】また、CSP等の実装部の歪みを測定する場合に、歪みゲージ13からCSPの外へ配線を引き出すのが困難なことがある(図2(a)参照)。このような場合、図5に示すように、両面基板24とし、貫通スルーホール25を用いて裏面側に引き出すことも可能である。両面基板24の上面には、電気回路12の電極パッド14上のバンプ21を介して、部品(CSP及びBGA等)26が実装されている。

【0030】また、図6に示すように、多層基板27の場合には、ピア28により電気回路12を下層へ落とし込んで外部へ引き出すことも可能である。多層基板27の上面には、電気回路12の電極パッド14上のパンプ21を介して、部品(CSP及びBGA等)26が実装されている。

【0031】また、必ずしも基板の部品側に歪みゲージを配置する必要はなく、図7に示すように、両面基板24等では、部品(CSP及びBGA等)26が搭載された部品搭載面の反対側面に歪みゲージ13を形成し、歪み量を測定することも可能である。

【0032】更に、上記実施の形態では、プリント基板における歪みゲージ内蔵回路基板10の製造方法を示したが、これに限らず、CSPやBGAに用いられるキャリア基板の製造方法についても適用することができる。

【0033】キャリア基板としてプリント基板を用いるタイプのCSPやBGAであれば、上述した歪みゲージ内蔵回路基板10の製造方法(図3参照)と同様の製造方法により、歪みゲージ13を形成することが可能となる。

【0034】また、上記実施の形態では、この発明に係る歪みゲージ内蔵回路基板10の製造方法を、両面基板(図5参照)の製造方法に適用したが、多層基板(図6参照)についても適用することができる。CSPやBGAを搭載する回路基板は、微細回路形成を要求される場合が多く、このとき、ビルトアップ基板が採用される。ビルトアップ基板の外層回路形成時において、上記実施の形態の製造方法と同じ方法により、歪みゲージ13を形成することができる。

【0035】このように、この発明に係る歪みゲージ内蔵回路基板10によれば、回路基板の回路の一部として歪みゲージ13を形成し、歪みゲージ13を内蔵した回路基板とする。この歪みゲージ13により、基板反りによる歪み量を測定することができる。

【0036】従って、接着剤を介さないため、回路基板の歪み量を正確に測定することができると共に、歪みゲージ13の取り扱いが容易になり誰でも使える。その上、歪みゲージ13を接着する等の手間を省くことができる。

【0037】また、この発明に係る歪みゲージ内蔵回路基板10の製造方法により、特に、CSP及びBGA用のキャリア基板(インタポーラ)や、CSP及びBGAを搭載するプリント基板に、回路基板の回路の一部として歪み量測定回路、即ち、歪みゲージ13を形成する(図2参照)ことができる。

【0038】従って、有機基板を用いた回路基板の製造と同時に歪みゲージ13が形成されるため、歪みゲージ13を接着する手間が不要となり、また、接着剤を介さないため、回路基板の歪み量を正確に測定することができる。更に、CSPやBGAの部品下部やはんだ接続部

の近辺等、任意の箇所に歪みゲージ13を形成することが可能となり、より信頼度の高いデータの入手が可能となる。

【0039】なお、上記実施の形態において、縦方向及び横方向の歪みを検出する目的で2つの歪みゲージ13をほぼ直交方向に配置している(図2参照)が、斜め方向の歪みを測定する目的で、3つ目の歪みゲージをほぼ斜め45度方向に配置してもよい。

【0040】また、回路の材料としてCu-Ni合金を用いているが、一般的な回路基板の配線材料であるCu等、回路形成可能な金属材料であれば、全て適用することができる。

【0041】更に、歪みゲージ内蔵回路基板の製造方法において、下地めっきとして無電解めっきを用い、回路形成としてエッティング液を用いるウエット処理を示したが、無電解銅めっきの代わりに銅蒸着を、エッティング液の代わりにイオンビームエッティングを用いるドライプロセスを採用してもよい。

【0042】

20 【発明の効果】以上説明したように、この発明によれば、回路基板の歪みを測定する歪みゲージが、回路基板の回路の一部として形成され、回路基板に歪みゲージが内蔵されるので、接着剤を介さず、任意の場所で、歪みゲージにより回路基板の歪み量を正確に測定することができる。

【0043】また、この発明に係る歪みゲージ内蔵回路基板の製造方法により、上記歪みゲージ内蔵回路基板を製造することができる。

【図面の簡単な説明】

30 【図1】歪みの定義と歪みゲージの原理について説明する説明図である。

【図2】この発明の実施の形態に係る歪みゲージ内蔵回路基板の概略構成を示し、(a)は平面図、(b)は断面図である。

【図3】図2の歪みゲージ内蔵回路基板の製造方法の工程説明図である。

【図4】この発明の他の実施の形態に係るCSP及びBGAのインタポーラへの適用例を示す断面図である。

【図5】この発明の他の実施の形態に係る両面基板への適用例を示す断面図である。

【図6】この発明の他の実施の形態に係る多層基板への適用例を示す断面図である。

【図7】この発明の他の実施の形態に係る両面基板の反対側面への適用例を示す断面図である。

【符号の説明】

10 歪みゲージ内蔵回路基板

11 回路基板

12 電気回路

13 歪みゲージ

50 14 電極パッド

15 ソルダレジスト

16 穴

17 銅めっき

18 めっきレジスト

19 銅ニッケル合金めっき

20 インタポーラ

21 バンブ

* 22 封止樹脂

23 チップ

24 両面基板

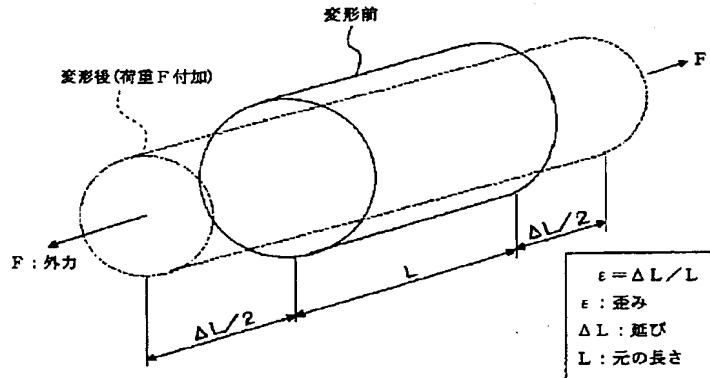
25 貫通スルーホール

26 部品

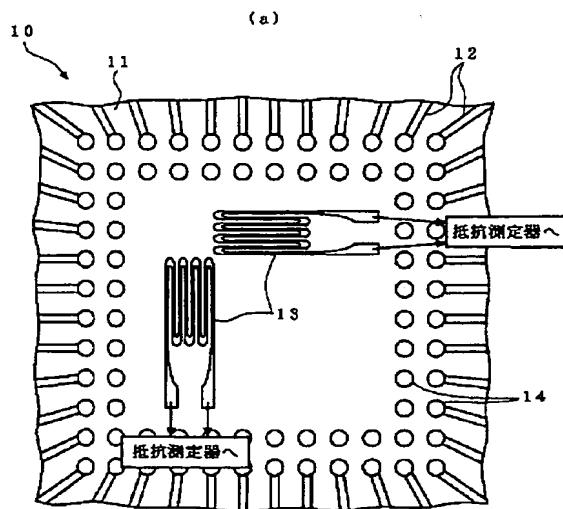
27 多層基板

* 28 ピア

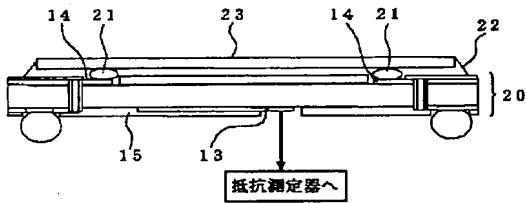
【図1】



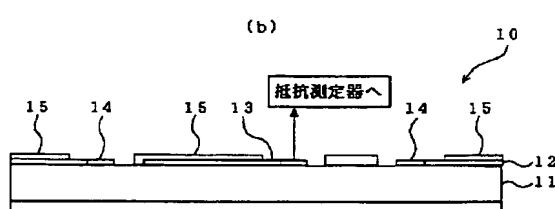
【図2】



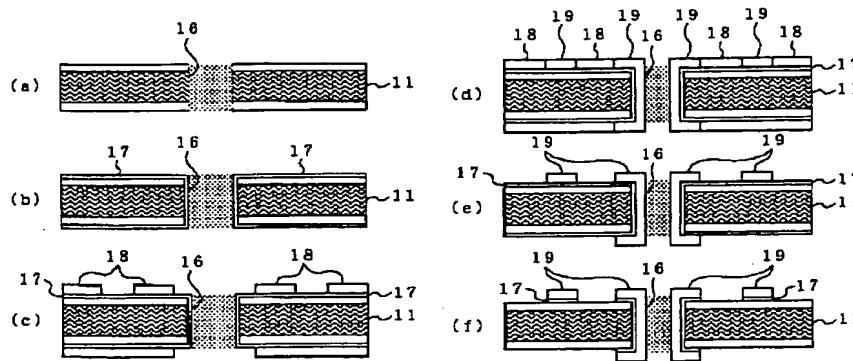
【図4】



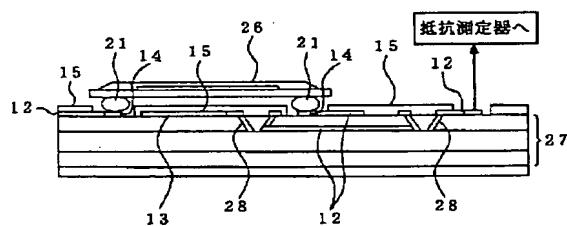
【図5】



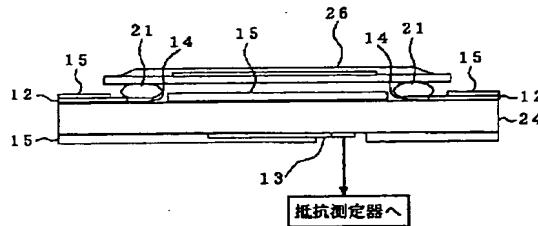
【図3】



【図6】



【図7】



フロントページの続き

Fターム(参考) 4E351 BB07 BB33 BB35 CC06 CC07
 DD04 DD19 DD21
 5E343 AA02 BB16 BB24 BB44 BB53
 CC61 CC71 DD33 DD43 DD76
 ER01 ER11 GG20